



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0029761
Application Number

출원 년 월 일 : 2003년 05월 12일
Date of Application MAY 12, 2003

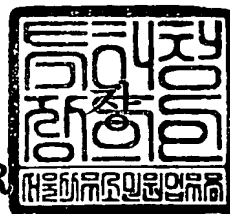
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 02 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2003.05.12
【국제특허분류】	H03L
【발명의 명칭】	내부 클럭 신호의 위상 오프셋을 보상하는 리플리카 지연회로를 구비하는 내부 클럭 발생 회로
【발명의 영문명칭】	The internal clock generation circuits with a replica delay circuit capable of compensating phase offset of internal clock signal
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	박원기
【성명의 영문표기】	PARK, Won Ki
【주민등록번호】	740809-1222219
【우편번호】	442-070
【주소】	경기도 수원시 팔달구 인계동 삼성아파트 103동 2001호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의 한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	8	면	8,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	8	항	365,000	원
【합계】	402,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

내부 클럭 신호의 위상 오프셋을 보상하는 리플리카 지연회로를 구비하는 내부 클럭 발생 회로가 개시된다. 본 발명에 의한 내부 클럭 신호의 위상 오프셋을 보상하는 리플리카 지연 회로를 구비하는 내부 클럭 발생 회로는, 외부 클럭 신호를 수신하고, 상기 외부 클럭 신호의 위상과 내부에서 발생된 기준 클럭 신호의 위상 차가 소정의 오차 범위에 근접할 때까지 락킹 동작을 수행하고, 그 결과로서 내부 클럭 신호를 출력하는 내부클럭 발생회로에 있어서, 버퍼 회로, 리플리카 지연회로, 및 제어회로를 구비하는 것을 특징으로 한다. 버퍼 회로는 내부 클럭 신호를 증폭시켜 출력한다. 리플리카 지연회로는 증폭된 내부 클럭 신호를 수신하고 소정 시간 지연시켜 기준 클럭 신호를 출력한다. 제어회로는 외부 클럭 신호에 대한 내부 클럭 신호의 위상 오프셋 량에 따라 복수의 제어신호들을 출력한다. 리플리카 지연회로는 복수의 제어신호들에 응답하여 기준 클럭 신호의 로우 레벨 구간에 대한 하이 레벨 구간의 비율을 변경시켜 출력한다. 본 발명에 의한 내부 클럭 신호의 위상 오프셋을 보상하는 리플리카 지연회로를 구비하는 내부 클럭 발생 회로는 공통 모드의 전압 레벨을 변경시켜 리플리카 지연회로의 지연시간을 조절함으로써, 내부 클럭 신호의 위상 오프셋을 정교하게 조절할 수 있는 장점이 있다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

내부 클럭 신호의 위상 오프셋을 보상하는 리플리카 지연회로를 구비하는 내부 클럭 발생 회로{The internal clock generation circuits with a replica delay circuit capable of compensating phase offset of internal clock signal}

【도면의 간단한 설명】

도 1은 일반적인 내부 클럭 발생 회로와 반도체 메모리 장치의 일부인 데이터 출력 회로를 나타내는 블록도이다.

도 2는 종래기술에 따른 내부 클럭 발생 회로의 일부인 버퍼회로와, 리플리카 지연회로, 및 반도체 메모리 장치의 일부인 데이터 출력회로를 상세히 나타내는 블록도이다.

도 3a는 도 2에 도시된 제1 버퍼부를 상세히 나타내는 회로도이다.

도 3b는 도 2에 도시된 제2 버퍼부를 상세히 나타내는 회로도이다.

도 4는 본 발명의 일실시예에 따른 내부 클럭 발생 회로와 반도체 메모리 장치의 일부인 데이터 출력 회로를 나타내는 블록도이다.

도 5는 도 4에 도시된 제2 리플리카 지연부와 지연시간 조절회로를 상세히 나타내는 도면이다.

도 6은 도 5에 도시된 제2 리플리카 지연부의 출력 신호의 파형을 나타내는 도면이다.

도 7a 및 도 7b는 도 4에 도시된 앰프의 출력 신호를 나타내는 타이밍차트이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <9> 본 발명은 반도체 메모리 장치의 내부 클럭 발생 회로에 관한 것으로서, 특히, 내부 클럭 신호의 위상 오프셋을 보상하는 리플리카(replica) 지연회로를 구비하는 내부 클럭 발생 회로에 관한 것이다.
- <10> 일반적으로, 반도체 메모리 장치와 메모리 컨트롤러간의 데이터 전송과 같이 클럭 주파수와 동기하여 데이터를 전송하는 I/O 인터페이스 방식에서는 버스의 부하가 커지고 전송 주파수가 빨라짐에 따라 클럭과 데이터가 정확한 시간적 동기를 이루는 것이 매우 중요하다.
- <11> 즉, 데이터가 클럭의 에지 혹은 센터에 정확히 위치되도록 하기 위해, 데이터를 전송하는 각 구성요소의 클럭은 데이터가 버스에 실리는데 걸리는 시간으로 역보상되어야 한다. 따라서, 반도체 메모리 장치에서는 외부 클럭을 수신하여 각 구성요소에 대한 내부 클럭을 발생시키는 내부클럭 발생회로가 사용된다. 이러한 내부클럭 발생회로는 위상 동기 루프(phase locked loop, 이하, PLL이라 함) 또는 지연 동기 루프(delay locked loop, 이하, DLL이라 함)로 구현될 수 있다. DLL로 구현된 내부클럭 발생회로를 포함하는 반도체 메모리 장치의 일예가 미국공개특허공보 제2002-159325호에 기재되어 있다. 또한, 상기와 같이 DLL로 구현되는 내부클럭 발생회로의 일예가 도 1에 도시된다. 도 1은 일반적인 내부 클럭 발생 회로와 반도체 메모리 장치의 일부인 데이터 출력 회로를 나타내는 블록도이다.
- <12> 도 1에서, 내부클럭 발생회로(10)는 가변 지연회로(11), 버퍼회로(12), 리플리카 지연회로(13), 및 위상검출기(14)를 포함하는 DLL로 구현된다.

- <13> 상기 내부클럭 발생회로(10)는 외부 클럭 신호(EXCLK)의 위상과 소정의 기준 클럭 신호(RECLK)의 위상 차가 소정의 오차범위에 근접할 때까지 락킹 동작을 수행하고, 그 결과로서 내부 클럭 신호(INCLK1)를 출력한다.
- <14> 상기 가변 지연회로(11)는 상기 외부 클럭 신호(EXCLK)를 소정 시간 동안 지연시켜 상기 내부 클럭 신호(INCLK1)를 출력한다. 상기 버퍼회로(12)는 상기 내부 클럭 신호(INCLK1)를 증폭시켜 내부 클럭 신호(INCLK2)를 출력한다. 여기에서, 상기 버퍼회로(12)는 큰 부하를 갖는 데이터 출력 회로(20)를 구동하기 위해 사용된다. 상기 리플리카 지연회로(13)는 데이터(DATA)가 상기 데이터 출력회로(20)를 통과하여 외부로 출력되는데 걸리는 시간을 보상하기 위해 상기 데이터 출력회로(20)와 유사한 지연을 갖도록 구성되는 회로이다. 상기 리플리카 지연회로(13)는 상기 내부 클럭 신호(INCLK2)를 지연시켜 상기 기준 클럭 신호(RECLK)를 출력한다.
- <15> 상기 위상 검출기(14)는 상기 외부 클럭 신호(EXCLK)와 상기 기준 클럭 신호(RECLK)의 위상을 비교하고, 그 결과에 따라 상기 가변 지연회로(11)의 지연 시간을 조정한다.
- <16> 도 1과 같이, 반도체 메모리 장치(미도시)의 상기 데이터 출력회로(20)는 메모리 코어로부터 독출되는 데이터(DATA)를 상기 내부클럭 발생회로(10)로부터 출력되는 상기 내부 클럭 신호(INCLK2)에 동기하여 반도체 칩의 외부로 출력한다.
- <17> 여기에서, 상기 리플리카 지연회로(13)는 상기 데이터 출력회로(20)를 통하여 상기 데이터(DATA)가 외부로 출력되는데 걸리는 시간과 유사한 지연 시간을 갖도록 구성된다. 그러나, 상기 데이터 출력회로(20)에서의 지연 시간과 실질적으로 동일한 지연 시간을 갖도록 상기 리플리카 지연회로(12)를 구성하는 것은 어려운 일이다. 따라서, 상기 내부클럭 발생회로(10)로부터 발생하는 상기 내부 클럭 신호(INCLK2)는 위상 락킹된 이후에도 상기 외부 클럭 신호(EXCLK)에 정확하게 동기되지 않고 소정의 위상 오프셋(offset)을 가지게 된다.

- <18> 종래의 내부클럭 발생회로에서는 내부 클럭 신호의 위상 오프셋을 보상하기 위해, 별도의 지연시간 조절수단을 포함하는 버퍼회로가 사용되었다. 이를 도 2 내지 도 3b를 참고하여 좀 더 상세히 설명하면 다음과 같다.
- <19> 도 2는 종래기술에 따른 내부클럭 발생회로의 일부인 버퍼회로와, 리플리카 지연회로, 및 반도체 메모리 장치의 일부인 데이터 출력회로를 상세히 나타내는 블록도이다.
- <20> 도 2에서, 버퍼회로(30)는 듀티 정정부(31)와 클럭 버퍼 회로(32)를 포함한다. 상기 클럭 버퍼 회로(32)는 제1 버퍼부(33)와 제2 버퍼부(34)를 포함한다. 여기에서, 상기 제1 버퍼부(33)와 상기 제2 버퍼부(34)는 실질적으로 동일한 회로로 구현된다. 또, 리플리카 지연회로(40)는 제1 및 제2 리플리카 지연부(41, 42)를 포함하고, 데이터 출력회로(50)는 내부 출력회로(51)와 출력 드라이버(52)를 포함한다. 여기에서, 상기 제1 리플리카 지연부(41)는 상기 내부 출력회로(51)와 실질적으로 동일한 지연 시간을 갖도록 구성되고, 상기 제2 리플리카 지연부(42)는 상기 출력 드라이버(52)와 실질적으로 동일한 지연 시간을 갖도록 구성된다.
- <21> 상기 제1 버퍼부(33)와 상기 제2 버퍼부(34)는 가변 지연회로(도 1의 11참고)로부터 출력되는 내부 클럭 신호(INCLK2)를 증폭시켜 내부 클럭 신호(INCLK3 및 INCLK4)를 출력한다. 상기 제1 리플리카 지연부(41)는 상기 내부 클럭신호(INCLK3)를 제1 소정 시간 지연시켜 출력하고, 상기 제2 리플리카 지연부(42)는 상기 제1 리플리카 지연부(41)의 출력 신호를 제2 소정 시간 지연시켜 기준 클럭신호(RECLK)를 출력한다. 상기 듀티 정정부(31)는 상기 제1 버퍼부(33)를 제어하여 상기 내부 클럭 신호(INCLK2)의 듀티비(duty ratio)를 일정하게 유지시킨다.
- <22> 도 3a는 도 2에 도시된 제1 버퍼부를 상세히 나타내는 회로도이고, 도 3b는 도 2에 도시된 제2 버퍼부를 상세히 나타내는 회로도이다.

- <23> 도 3a와 같이, 상기 제1 버퍼부(33)는 복수의 버퍼들(61~63)을 포함한다. 또, 상기 제2 버퍼부(34) 역시 도 3b와 같이 복수의 버퍼들(71~73)을 포함한다.
- <24> 여기에서, 상기 제1 버퍼부(33)와 상기 제2 버퍼부(34)는 실질적으로 동일한 회로로 구현된다.
- <25> 도 3b에서, 상기 버퍼들(71~73) 사이에는 각각 복수의 캐패시터들(C1~C3 및 C4~C6)이 병렬 연결된다. 상기 캐패시터들(C1~C3)은 상기 버퍼(71)의 출력신호를 소정 시간 동안 지연시켜 출력하고, 상기 캐패시터들(C4~C6)은 상기 버퍼(72)의 출력신호를 소정 시간 동안 지연시켜 출력한다. 여기에서, 상기 버퍼들(71~73) 사이에 연결되는 캐패시터들의 정전용량에 따라 상기 제2 버퍼부(34)의 지연시간이 조절된다.
- <26> 상기와 같이, 종래에는 상기 버퍼회로(30)에 구비된 복수의 캐패시터들에 의해 내부 클럭 신호의 위상 오프셋을 보상하여 출력하였다. 그러나, 상기와 같은 종래의 방식에서는 다음과 같은 몇 가지 문제점들이 있다.
- <27> 먼저, 지연시간을 다양하게 조절하기 위해, 상기 버퍼회로(30)에 다양한 정전용량을 갖는 캐패시터가 연결되어야 하고, 출력단의 부하가 클 경우 지연 값을 유지하기 위해 큰 정전용량을 갖는 캐패시터가 연결되어야 하는 문제점이 있다. 또, 상기 버퍼회로(30)에 구비된 복수의 캐패시터들(C1~C6)은 내부 클럭 신호의 위상을 지연시킬 수만 있고 앞당길 수 없는 문제점이 있다.
- <28> 한편, 도 3b와 같이, 복수의 캐패시터들(C1~C6)이 상기 제2 버퍼부(34)에 연결될 경우, 상기 제2 버퍼부(34)에서 출력되는 내부 클럭 신호(INCLK4)의 듀티비가 달라질 수 있다. 그러나, 상기 제1 버퍼부(33)에는 캐패시터가 연결되지 않기 때문에, 상기 제1 버퍼부(33)로부터

출력되는 내부 클럭 신호(INCLK3)와 상기 제2 버퍼부(34)로부터 출력되는 내부 클럭 신호(INCLK4)의 듀티비가 서로 달라지게 되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<29> 본 발명이 이루고자하는 기술적 과제는, 공통 모드(common mode)의 전압 레벨을 변경시켜 리플리카 지연회로의 지연시간을 조절함으로써, 내부 클럭 신호의 위상 오프셋을 보상하는 리플리카 지연회로를 구비하는 내부 클럭 발생 회로를 제공하는데 있다.

【발명의 구성 및 작용】

<30> 상기 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 내부 클럭 신호의 위상 오프셋을 보상하는 리플리카 지연회로를 구비하는 내부 클럭 발생 회로는, 외부 클럭 신호를 수신하고, 상기 외부 클럭 신호의 위상과 내부에서 발생된 기준 클럭 신호의 위상 차가 소정의 오차 범위에 근접할 때까지 락킹 동작을 수행하고, 그 결과로서 내부 클럭 신호를 출력하는 내부 클럭 발생회로에 있어서, 버퍼 회로, 리플리카 지연회로, 및 제어회로를 구비하는 것을 특징으로 한다. 버퍼 회로는 내부 클럭 신호를 증폭시켜 출력한다. 리플리카 지연회로는 증폭된 내부 클럭 신호를 수신하고 소정 시간 지연시켜 기준 클럭 신호를 출력한다. 제어회로는 외부 클럭 신호에 대한 내부 클럭 신호의 위상 오프셋 량에 따라 복수의 제어신호들을 출력한다. 리플리카 지연회로는 복수의 제어신호들에 응답하여 기준 클럭 신호의 로우 레벨 구간에 대한 하이 레벨 구간의 비율을 변경시켜 출력한다.

<31> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

- <32> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <33> 도 4는 본 발명의 일실시예에 따른 내부클럭 발생회로와 반도체 메모리 장치의 일부인 데이터 출력 회로를 나타내는 블록도이다.
- <34> 상기 내부클럭 발생회로(100)는 외부 클럭 신호(CLK_EX)의 위상과 기준 클럭 신호(CLK_RE)의 위상차가 소정의 오차 범위에 근접할 때까지 락킹 동작을 수행하고, 그 결과로서 내부 클럭 신호(CLK_IN)를 출력한다. 상기 내부클럭 발생회로(100)는 DLL 또는 PLL로 구현될 수 있다. 도 4에서는 설명의 편의상 상기 내부클럭 발생회로(100)가 DLL로 구현된 경우를 예를 들어 설명하기로 한다.
- <35> 도 4와 같이, 본 발명의 일실시예에 따른 내부클럭 발생회로(100)는 가변 지연회로(110), 버퍼회로(120), 리플리카 지연회로(130), 제어회로(140) 및 위상 검출기(150)를 포함한다.
- <36> 상기 가변 지연회로(110)는 외부 클럭신호(CLK_EX)를 소정의 지연 시간 동안 지연시켜 제1 내부 클럭신호(CLK_IN1)를 출력한다. 상기 버퍼회로(120)는 상기 제1 내부 클럭신호(CLK_IN1)를 증폭시켜 제2 내부 클럭신호(CLK_IN2)를 출력한다.
- <37> 상기 리플리카 지연회로(130)는 메모리 코어로부터 독출되는 데이터(DATA)가 데이터 출력회로(200)를 통과하여 외부로 출력되는데 걸리는 시간을 보상하기 위해 상기 데이터 출력회로(200)와 유사한 지연을 갖도록 구성되는 회로이다.

- <38> 상기 데이터 출력회로(200)는 내부 출력회로(201)와 출력 드라이버(202)를 포함한다. 상기 리플리카 지연회로(130)는 제1 리플리카 지연부(131), 제2 리플리카 지연부(132), 앰프(133), 및 공통모드 변경회로(134)를 포함한다.
- <39> 상기 제1 리플리카 지연부(131)는 상기 내부 출력회로(201)와 실질적으로 동일한 지연 시간을 갖도록 구성되며, 상기 제2 리플리카 지연부(132)는 상기 출력 드라이버(202)와 실질적으로 동일한 지연 시간을 갖도록 구성된다. 상기 제2 리플리카 지연부(132)는 차동 증폭기로 구현될 수 있다.
- <40> 상기 제1 리플리카 지연부(131)는 상기 제2 내부 클럭 신호(CLK_IN2)를 제1 지연 시간 동안 지연시켜 제3 내부 클럭 신호(CLK_IN3)를 출력하고, 상기 제2 리플리카 지연부(132)는 상기 제3 내부 클럭 신호(CLK_IN3)를 제2 지연 시간 동안 지연시켜 출력한다.
- <41> 상기 제어회로(140)는 외부로부터 입력되는 소정의 입력신호(미도시)에 응답하여 상기 공통모드 변경회로(134)에 복수의 제어신호들(도 5의 VCTL1~VCTL6 참고)을 출력한다. 여기에, 상기 제어회로(140)는 퓨즈(fuse) 회로 또는 MRS(mode register set)로 구현될 수 있다. 상기 퓨즈 회로와 상기 MRS는 본 발명의 기술분야에서 통상의 지식을 가진 자라면 이해할 수 있으므로 상기 제어회로(140)의 구성 및 상세한 동작 설명은 생략된다.
- <42> 상기 공통모드 변경회로(134)는 상기 복수의 제어신호들(VCTL1~VCTL6)에 응답하여 상기 제2 리플리카 지연부(132)로부터 출력되는 신호들(도 5의 VOB 및 VO 참고)의 공통 모드의 전압 레벨을 가변시킨다. 이에 대한 동작 설명은 도 5 및 도 6을 참고하여 상세히 후술된다.
- <43> 상기 앰프(133)는 상기 제2 리플리카 지연부(132)의 출력 신호들(VOB, VO)을 증폭시켜 기준 클럭 신호(CLK_RE)를 출력한다. 상기 기준 클럭 신호(CLK_RE)는 상기 제2 내부 클럭

신호(CLK_IN2)가 소정 시간 지연된 신호이다. 여기에서, 상기 제2 리플리카 지연부(132)의 지연량은 상기 공통모드 변경회로(134)에 의해 공통 모드의 전압 레벨이 가변됨으로써 조절될 수 있다.

<44> 상기 위상 검출기(150)는 상기 기준 클럭 신호(CLK_RE)와 상기 외부 클럭 신호(CLK_EX)의 위상을 비교하고, 그 결과에 따라 상기 가변 지연회로(110)의 지연량을 가변시킨다. 도 4에서, 상기 리플리카 지연회로(130)가 상기 앰프(133)를 포함하는 것으로 도시되었지만, 상기 앰프(133)는 상기 위상 검출기(150)에 포함될 수도 있다.

<45> 다음으로, 상기 제2 리플리카 지연부(132)와 상기 공통모드 변경회로(134)를 도 5 및 도 6을 참고하여 좀 더 상세히 설명한다.

<46> 먼저, 도 5와 같이, 제2 리플리카 지연부(132)는 저항들(R1~R3)과 NMOS 트랜지스터들(N1~N3)을 포함하여 전류 미러를 형성하는 차동 증폭기로 구현될 수 있다. 상기 저항(R1)은 내부전압(VDD)과 제1 노드(NODE1) 사이에 연결되고, 상기 저항(R2)은 상기 제1 노드(NODE1)와 제2 노드(NODE2) 사이에 연결된다. 또, 상기 저항(R3)은 상기 제1 노드(NODE1)와 제3 노드(NODE3) 사이에 연결된다.

<47> 상기 NMOS 트랜지스터(N1)의 드레인은 상기 제2 노드(NODE2)에 연결되고, 소스는 상기 NMOS 트랜지스터(N3)의 드레인에 연결되고, 게이트에는 제3 내부 클럭 신호(CLK_IN3)(도 4참고)가 입력된다. 상기 NMOS 트랜지스터(N2)의 드레인은 상기 제3 노드(NODE3)에 연결되고, 소스는 상기 NMOS 트랜지스터(N3)의 드레인에 연결되고, 게이트에는 제3 내부 클럭 신호의 상보 신호(CLK_IN3B)가 입력된다. 상기 NMOS 트랜지스터(N3)의 소스는 그라운드 전압에 연결되고, 게이트에는 소정의 기준 전압(VREF)이 입력된다.

- <48> 상기 공통모드 변경회로(140)는 제1 공통모드 변경회로(141)와 제2 공통모드 변경회로(142)를 포함한다. 상기 제1 공통모드 변경회로(141)와 상기 제2 공통모드 변경회로(142)는 각각 복수의 NMOS 트랜지스터들(N4~N6, N7~N9)로 구현될 수 있다.
- <49> 상기 복수의 NMOS 트랜지스터들(N4~N6)의 드레인들은 상기 제1 노드(NODE1)에 연결되고, 소스들은 상기 제2 노드(NODE2)에 연결되고, 게이트들에는 각각 제어신호들(VCTL1~VCTL3)이 입력된다. 또한, 상기 복수의 NMOS 트랜지스터들(N7~N9)의 드레인들은 상기 제1 노드(NODE1)에 연결되고, 소스들은 상기 제3 노드(NODE3)에 연결되고, 게이트들에는 각각 제어신호들(VCTL4~VCTL6)이 입력된다. 상기 복수의 NMOS 트랜지스터들(N4~N9)은 상기 제어신호들(VCTL1~VCTL6)에 의해 각각 턴 온 또는 턴 오프된다. 여기에서, 상기 제어신호들(VCTL1~VCTL6)은 제어회로(도 4의 140참고)에 의해 발생하는 신호들이다.
- <50> 도 5에서, 상기 제1 공통모드 변경회로(141)와 상기 제2 공통모드 변경회로(142)가 각각 세 개의 NMOS 트랜지스터들을 포함하는 것으로 도시되었지만, 상기 NMOS 트랜지스터의 수는 다양하게 변경될 수 있다.
- <51> 상기 제2 리플리카 지연회로(132)는 상기 제3 내부 클럭 신호(CLK_IN3)와 상기 제3 내부 클럭 신호의 상보 신호(CLK_IN3B)간의 전압 차를 증폭시키고, 상기 제2 노드(NODE2)와 상기 제3 노드(NODE3)로 그 출력 신호들(VOB, VO)을 출력한다.
- <52> 여기에서, 상기 복수의 NMOS 트랜지스터들(N4~N9)이 턴 온 또는 턴 오프됨에 따라, 상기 출력 신호들(VOB, VO)의 공통 모드의 전압 레벨이 도 6에 도시된 것과 같이 변경된다. 상기 출력 신호들(VOB, VO)의 공통 모드의 전압 레벨이 변경되는 경우를 두 가지 예를 들어 좀 더 상세히 설명하면 다음과 같다.

- <53> 첫 번째는, 상기 제2 공통모드 변경회로(142)의 상기 NMOS 트랜지스터들(N7~N9)이 모두 턴 온된 상태에서, 턴 오프되는 상기 제1 공통모드 변경회로(141)의 상기 NMOS 트랜지스터(N4~N6)의 수가 증가되는 경우가 있다. 이 경우는 상기 제1 노드(NODE1)와 상기 제2 노드(NODE2)간의 저항 값이 증가된다.
- <54> 그 결과, 상기 출력 신호(VOB)는 도 6에 도시된 것과 같이 VOB1에서 VOB3쪽으로 점차 전압 레벨이 낮아진다. 또, 상기 NMOS 트랜지스터들(N7~N9)은 모두 턴 온된 상태이므로, 상기 제1 노드(NODE1)와 상기 제3 노드(NODE3)간은 상기 저항(R3) 값 보다 작은 소정의 저항 값으로 유지된다. 그 결과, 상기 출력 신호(VO)는 도 6에 도시된 것과 같이 소정 전압 레벨로 유지된다. 따라서, 상기 출력 신호들(VOB, VO)의 공통 모드 전압 레벨은 상기 제1 노드(NODE1)와 상기 제2 노드(NODE2)간의 저항 값이 증가될 수록 도 6과 같이 AA'→BB'→CC'로 점차 변경된다.
- <55> 두 번째로, 도 6에 도시되지는 않았지만, 상기 제1 공통모드 변경회로(141)의 상기 NMOS 트랜지스터들(N4~N6)이 모두 턴 온된 상태에서, 턴 오프되는 상기 제2 공통모드 변경회로(142)의 상기 NMOS 트랜지스터(N7~N9)의 수가 증가되는 경우가 있다. 이 경우는, 상기 출력 신호(VO)가 도 6의 상기 출력 신호들(VOB1~VOB3) 처럼 전압 레벨이 점차 낮아진다.
- <56> 다음으로, 앰프(도 4의 133참고)가 상기 제2 리플리카 지연부(132)의 출력 신호들(VOB, VO)을 증폭시켜 기준 클럭 신호(CLK_RE)를 출력한다. 상기 기준 클럭 신호(CLK_RE)의 타이밍차가 도 7a 및 도 7b에 도시된다. 도 7a는 상기 첫 번째 경우에서 발생된 상기 기준 클럭 신호(CLK_RE)의 타이밍차트이고, 도 7b는 상기 두 번째 경우에서 발생된 상기 기준 클럭 신호(CLK_RE)의 타이밍차트이다.
- <57> 도 7a에서, 기준 클럭 신호(CLK_RE1)는 도 6에서 공통 모드의 전압 레벨이 AA'인 출력 신호들(VOB1, VO)이 상기 앰프(133)에 의해 증폭된 신호이다. 기준 클럭 신호(CLK_RE2)는 도 6

에서 공통 모드의 전압 레벨이 BB'인 출력 신호들(VOB2, VO)이 상기 앰프(133)에 의해 증폭된 신호이다. 또, 기준 클럭 신호(CLK_RE3)는 도 6에서 공통 모드의 전압 레벨이 CC'인 출력 신호들(VOB3, VO)이 상기 앰프(133)에 의해 증폭된 신호이다.

<58> 여기에서, 상기 출력 신호들(VOB, VO)의 공통 모드가 도 6에 도시된 것과 같이 AA'→BB'→CC'로 점차 변경됨에 따라 상기 기준 클럭 신호들(CLK_RE1~CLK_RE3)의 듀티가 변화된다. 즉, 상기 기준 클럭 신호(CLK_RE1)의 하이 레벨 구간에 비해 상기 기준 클럭 신호들(CLK_RE2~CLK_RE3)의 하이 레벨 구간이 더 짧아진다. 따라서, 도 7a에 도시된 것과 같이 상기 기준 클럭 신호(CLK_RE2)의 라이징 에지(rising edge)가 상기 기준 클럭 신호(CLK_RE1)의 라이징 에지 보다 T1 만큼 지연된다. 또, 상기 기준 클럭 신호(CLK_RE3)의 라이징 에지 역시 상기 기준 클럭 신호(CLK_RE2)의 라이징 에지 보다 T2 만큼 지연된다.

<59> 한편, 도 7b에서 상기 출력 신호들(VOB, VO)의 공통 모드가 변경됨에 따라 상기 기준 클럭 신호들(CLK_RE1~CLK_RE3)의 듀티가 변화된다. 즉, 상기 기준 클럭 신호들(CLK_RE2~CLK_RE3)의 하이 레벨 구간이 상기 기준 클럭 신호(CLK_RE1)의 하이 레벨 구간 보다 더 길어진다. 따라서, 상기 기준 클럭 신호(CLK_RE2)의 라이징 에지가 상기 기준 클럭 신호(CLK_RE1)의 라이징 에지 보다 T1 만큼 앞서게 된다. 또, 상기 기준 클럭 신호(CLK_RE3)의 라이징 에지가 상기 기준 클럭 신호(CLK_RE2)의 라이징 에지 보다 T2 만큼 앞서게 된다.

<60> 여기에서, 위상 검출기(도 4의 150참고)는 외부 클럭 신호(CLK_EX)와 상기 기준 클럭 신호(CLK_RE)의 라이징 에지 또는 폴링 에지(falling edge)만으로 위상차를 검출하므로 상기 기준 클럭 신호(CLK_RE)의 듀티 변화에는 영향을 받지 않는다.

- <61> 결국, 상기 위상 검출기(150)는 듀티 변화에 의해 라이징 에지가 지연된 상기 기준 클럭 신호(CLK_RE)와 외부 클럭 신호(CLK_EX)의 위상차를 비교하고, 그 결과에 따라 가변 지연회로(도 4의 110참고)의 지연량을 조절하게 된다.
- <62> 다음으로, 상기와 같이 구성된 본 발명에 따른 내부 클럭 발생 회로의 동작을 도 4 내지 도 7b를 참고하여 설명한다.
- <63> 먼저, 위상 검출기(150)는 외부 클럭 신호(CLK_EX)와 기준 클럭 신호(CLK_RE)의 위상을 비교하고, 그 결과에 따라 가변 지연회로(110)의 지연량을 조절한다. 상기 가변 지연회로(110)는 상기 외부 클럭 신호(CLK_EX)를 소정의 지연 시간 동안 지연시켜 제1 내부 클럭신호(CLK_IN1)를 출력한다.
- <64> 버퍼 회로(120)는 상기 제1 내부 클럭 신호(CLK_IN1)를 증폭시켜 제2 내부 클럭 신호(CLK_IN2)를 출력한다. 리플리카 지연회로(130)는 상기 제2 내부 클럭 신호(CLK_IN2)를 소정 시간 동안 지연시켜 상기 기준 클럭 신호(CLK_RE)를 출력한다.
- <65> 여기에서, 상기 리플리카 지연회로(130)는 메모리 코어로부터 독출되는 데이터(DATA)가 데이터 출력회로(200)를 통과하여 외부로 출력되는데 걸리는 시간 동안 상기 제2 내부 클럭 신호(CLK_IN2)를 지연시킨다. 이를 좀 더 상세히 설명하면, 상기 리플리카 지연회로(130)의 제1 리플리카 지연부(131)가 상기 제2 내부 클럭 신호(CLK_IN2)를 제1 지연 시간 동안 지연시켜 제3 내부 클럭 신호(CLK_IN3)를 출력한다. 또, 상기 리플리카 지연회로(130)의 제2 리플리카 지연부(132)가 상기 제3 내부 클럭 신호(CLK_IN3)를 제2 지연 시간 동안 지연시킨다. 상기 리플리카 지연회로(130)의 앰프(133)는 상기 제2 리플리카 지연부(132)의 출력신호를 증폭시켜 기준 클럭 신호(CLK_RE)를 출력한다.

- <66> 상기 데이터 출력회로(200)는 상기 데이터(DATA)를 수신하고, 상기 제2 내부 클럭 신호(CLK_IN2)에 동기하여 상기 데이터(DATA)를 외부로 출력한다.
- <67> 한편, 상기 제3 내부 클럭 신호(CLK_IN3)에 대한 위상 오프셋을 조절하기 위해 제어회로(140)가 복수의 제어신호들을 출력한다. 이를 좀 더 상세히 설명하면, 상기 제어회로(140)는 상기 제3 내부 클럭 신호(CLK_IN3)가 지연되어야 하는 경우, 그 지연량에 따라 제어신호들(VCTL1~VCTL3) 중 하나 또는 둘 이상을 디세이블시킨다.
- <68> 상기 제어신호들(VCTL1~VCTL3)에 응답하여 상기 제1 공통모드 변경회로(141)의 상기 NMOS 트랜지스터들(N4~N6) 중 일부 또는 모두가 턴 오프된다. 상기 NMOS 트랜지스터들(N4~N6)이 턴 오프됨에 따라 제1 노드(NODE1)와 상기 제2 노드(NODE2)간의 저항 값이 증가되고, 상기 제2 리플리카 지연부(132)의 출력 신호들(VOB, VO)의 공통 모드 전압 레벨이 낮아진다.
- <69> 이 후, 앰프(133)가 상기 출력 신호들(VOB, VO)을 증폭시켜 로우 레벨 구간에 비해 하이 레벨 구간이 상대적으로 짧은 듀티를 갖는 기준 클럭 신호(CLK_RE)를 출력한다. 상기 위상 검출기(150)는 상기 기준 클럭 신호(CLK_RE)와 상기 외부 클럭 신호(CLK_EX)의 위상을 비교하고, 그 결과에 따라 상기 가변 지연회로(110)의 가변량을 조절한다. 상기 내부클럭 발생회로(100)는 락킹 동작을 재수행한다.
- <70> 또, 상기 제2 내부 클럭 신호(CLK_IN2)의 위상을 앞당겨야 하는 경우, 상기 제어회로(140)는 제어신호들(VCTL4~VCTL6) 중 하나 또는 둘 이상을 디세이블시킨다. 상기 제어신호들(VCTL4~VCTL6)에 응답하여 상기 제2 공통모드 변경회로(142)의 상기 NMOS 트랜지스터들(N7~N9) 중 일부 또는 모두가 턴 오프된다.

- <71> 상기 NMOS 트랜지스터들(N7~N9)이 턴 오프됨에 따라 상기 제1 및 제3 노드들(NODE1, NODE3)간의 저항 값이 증가되고, 상기 제2 리플리카 지연부(132)의 출력 신호들(VOB, VO)의 공통 모드 전압 레벨이 낮아진다. 이 후, 앰프(133)가 상기 출력 신호들(VOB, VO)을 증폭시켜 로우 레벨 구간에 비해 하이 레벨 구간이 상대적으로 긴 듀티를 갖는 기준 클럭 신호(CLK_RE)를 출력한다.
- <72> 상기 위상 검출기(150)는 상기 기준 클럭 신호(CLK_RE)와 상기 외부 클럭 신호(CLK_EX)의 위상을 비교하고, 그 결과에 따라 상기 가변 지연회로(110)의 가변량을 조절한다. 상기 내부 클럭 발생회로(100)는 락킹 동작을 재수행한다.
- <73> 도 4 내지 도 7b에서는 상기 NMOS 트랜지스터들(N4~N6)이 모두 턴 온된 상태에서 점차 턴 오프되는 경우를 예를 들어 설명하였지만, 반대로 상기 NMOS 트랜지스터들(N4~N6)이 모두 턴 오프된 상태에서 턴 온될 수도 있다. 이 때, 상기 제1 노드(NODE1)와 상기 제2 노드(NODE2)간의 저항 값은 감소되고, 상기 제2 리플리카 지연부(132)의 출력 신호들(VOB, VO)의 공통 모드 전압 레벨은 높아진다. 그 결과, 도 7b에 도시된 것과 같이, 로우 레벨 구간에 비해 하이 레벨 구간이 상대적으로 긴 듀티를 갖는 기준 클럭 신호(CLK_RE)가 상기 앰프(133)로부터 출력된다.
- <74> 또, 도 4 내지 도 7b에서는 상기 NMOS 트랜지스터들(N7~N9)이 모두 턴 온된 상태에서 점차 턴 오프되는 경우를 예를 들어 설명하였지만, 반대로 상기 NMOS 트랜지스터들(N7~N9)이 모두 턴 오프된 상태에서 턴 온될 수도 있다. 이 때, 상기 제1 노드(NODE1)와 상기 제3 노드(NODE3)간의 저항 값은 감소되고, 상기 제2 리플리카 지연부(132)의 출력 신호들(VOB, VO)의 공통 모드 전압 레벨은 높아진다. 그 결과, 도 7a에 도시된 것과 같이, 로우 레벨 구간에 비해

하이 레벨 구간이 상대적으로 짧은 듀티를 갖는 기준 클럭 신호(CLK_RE)가 상기 앰프(133)로부터 출력된다.

<75> 상기한 것과 같이, 본 발명의 내부 클럭 발생 회로는 내부 클럭 신호의 위상 오프셋을 리플리카 지연회로에서 보상하므로, 버퍼회로에 캐패시터를 사용할 필요가 없다.

<76> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<77> 상기한 것과 같이, 본 발명의 내부 클럭 발생 회로에 의하면, 공통 모드의 전압 레벨을 변경시켜 리플리카 지연회로의 지연시간을 조절함으로써, 내부 클럭 신호의 위상 오프셋을 보상할 수 있는 효과가 있다.

<78> 또, 본 발명의 내부 클럭 발생 회로에 의하면, 리플리카 지연회로에서 내부 클럭 신호의 위상 오프셋을 보상하므로, 버퍼회로에 캐패시터를 사용할 필요가 없다.

<79> 또한, 본 발명의 내부 클럭 발생 회로에 의하면, 내부 클럭 신호의 위상을 앞으로 당기거나 지연시킬 수 있으므로, 내부 클럭 신호의 위상 오프셋을 정교하게 조절할 수 있다.

【특허청구범위】**【청구항 1】**

외부 클럭 신호를 수신하고, 상기 외부 클럭 신호의 위상과 내부에서 발생된 기준 클럭 신호의 위상 차가 소정의 오차 범위에 근접할 때까지 락킹 동작을 수행하고, 그 결과로서 내부 클럭 신호를 출력하는 내부클럭 발생회로에 있어서,

상기 내부 클럭 신호를 증폭시켜 출력하는 버퍼 회로;

상기 증폭된 내부 클럭 신호를 수신하고 소정 시간 지연시켜 상기 기준 클럭 신호를 출력하는 리플리카 지연회로; 및

상기 외부 클럭 신호에 대한 상기 내부 클럭 신호의 위상 오프셋 량에 따라 복수의 제어신호들을 출력하는 제어회로를 구비하고,

상기 리플리카 지연회로는 상기 복수의 제어신호들에 응답하여 상기 기준 클럭 신호의로우 레벨 구간에 대한 하이 레벨 구간의 비율을 변경시켜 출력하는 것을 특징으로 하는 내부 클럭 발생 회로.

【청구항 2】

제1항에 있어서, 상기 리플리카 지연회로는,

상기 증폭된 내부 클럭 신호를 제1 지연 시간 동안 지연시켜 출력하는 제1 리플리카 지연부;

지연된 상기 내부 클럭 신호를 제2 지연 시간 동안 지연시켜 소정 전압 레벨의 공통 모드를 갖는 출력 신호들을 출력하는 제2 리플리카 지연부;

상기 복수의 제어신호들에 응답하여 상기 출력 신호들의 공통 모드 전압 레벨을 변경시키는 공통모드 변경회로; 및

상기 출력 신호들을 증폭시켜 로우 레벨 구간에 대해 소정 비율의 하이 레벨 구간을 가지는 상기 기준 클럭 신호를 출력하는 앰프를 구비하는 것을 특징으로 하는 내부 클럭 발생 회로.

【청구항 3】

제2항에 있어서,

상기 출력 신호들은 제1 출력 신호와 제2 출력 신호를 포함하고,

상기 공통모드 변경회로는,

상기 복수의 제어 신호들 중 제1 제어신호들에 응답하여 상기 제1 출력 신호의 전압 레벨을 변화시켜 상기 공통 모드의 전압 레벨을 변경시키는 제1 공통모드 변경회로; 및

상기 복수의 제어 신호들 중 제2 제어신호들에 응답하여 상기 제2 출력 신호의 전압 레벨을 변화시켜 상기 공통 모드의 전압 레벨을 변경시키는 제2 공통모드 변경회로를 구비하는 것을 특징으로 하는 내부 클럭 발생 회로.

【청구항 4】

제3항에 있어서,

상기 제2 리플리카 지연부는 병렬 연결되는 제1 저항과 제2 저항을 포함하여 전류 미러를 형성하는 차동 증폭기이고,

상기 제1 공통모드 변경회로는 상기 제1 저항의 양단에 각각 드레인과 소스가 연결되고, 게이트에 상기 제1 제어신호들이 입력되는 복수의 제1 NMOS 트랜지스터들을 포함하고,



상기 제2 공통모드 변경회로는 상기 제2 저항의 양단에 각각 드레인과 소스가 연결되고, 게이트에 상기 제2 제어신호들이 입력되는 복수의 제2 NMOS 트랜지스터들을 포함하는 것을 특징으로 하는 내부 클럭 발생 회로.

【청구항 5】

제4항에 있어서,

상기 복수의 제1 NMOS 트랜지스터들은 상기 제1 제어신호들이 인에이블될 때 턴 온되고,

상기 복수의 제2 NMOS 트랜지스터들은 상기 제2 제어신호들이 인에이블될 때 턴 온되며,

상기 기준 클럭 신호의 로우 레벨 구간에 대한 하이 레벨 구간의 비율은, 턴 온되는 상기 제1 NMOS 트랜지스터의 수가 증가될 수록 증가되고, 턴 온되는 상기 제2 NMOS 트랜지스터의 수가 증가될 수록 감소되는 것을 특징으로 하는 내부 클럭 발생 회로.

【청구항 6】

제5항에 있어서, 상기 내부 클럭 발생 회로는, 상기 기준 클럭 신호의 하이 레벨 구간의 비율이 감소될 때 위상이 지연된 상기 내부 클럭 신호를 출력하고, 상기 기준 클럭 신호의 하이 레벨 구간의 비율이 증가될 때 위상이 앞당겨진 상기 내부 클럭 신호를 출력하는 것을 특징으로 하는 내부 클럭 발생 회로.

【청구항 7】

제1항에 있어서, 상기 제어회로는,

모드 레지스터 셋 또는 퓨즈 회로 중 어느 하나인 것을 특징으로 하는 내부 클럭 발생 회로.

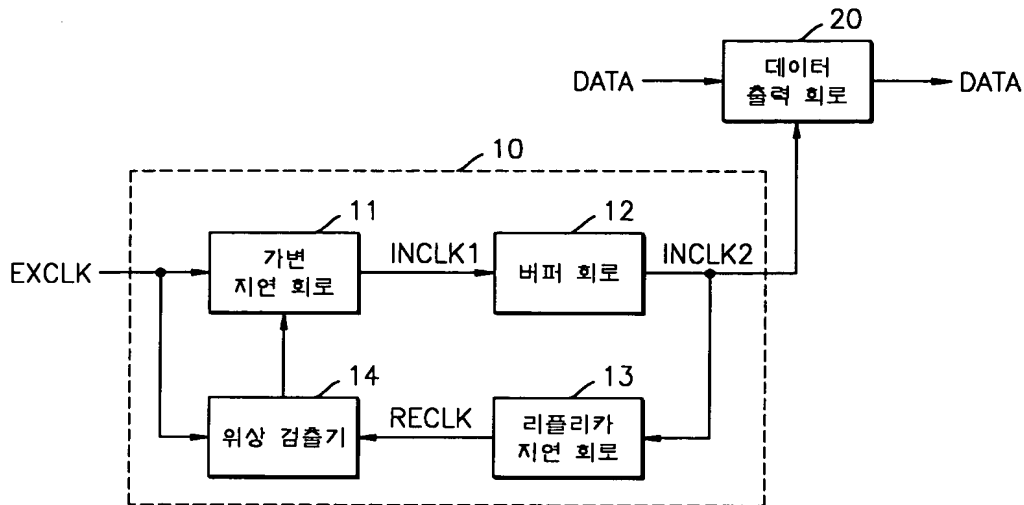
【청구항 8】

제1항에 있어서, 상기 내부 클럭 발생 회로는,

지연 동기 루프 또는 위상 동기 루프 중 어느 하나인 것을 특징으로 하는 내부 클럭 발생 회로.

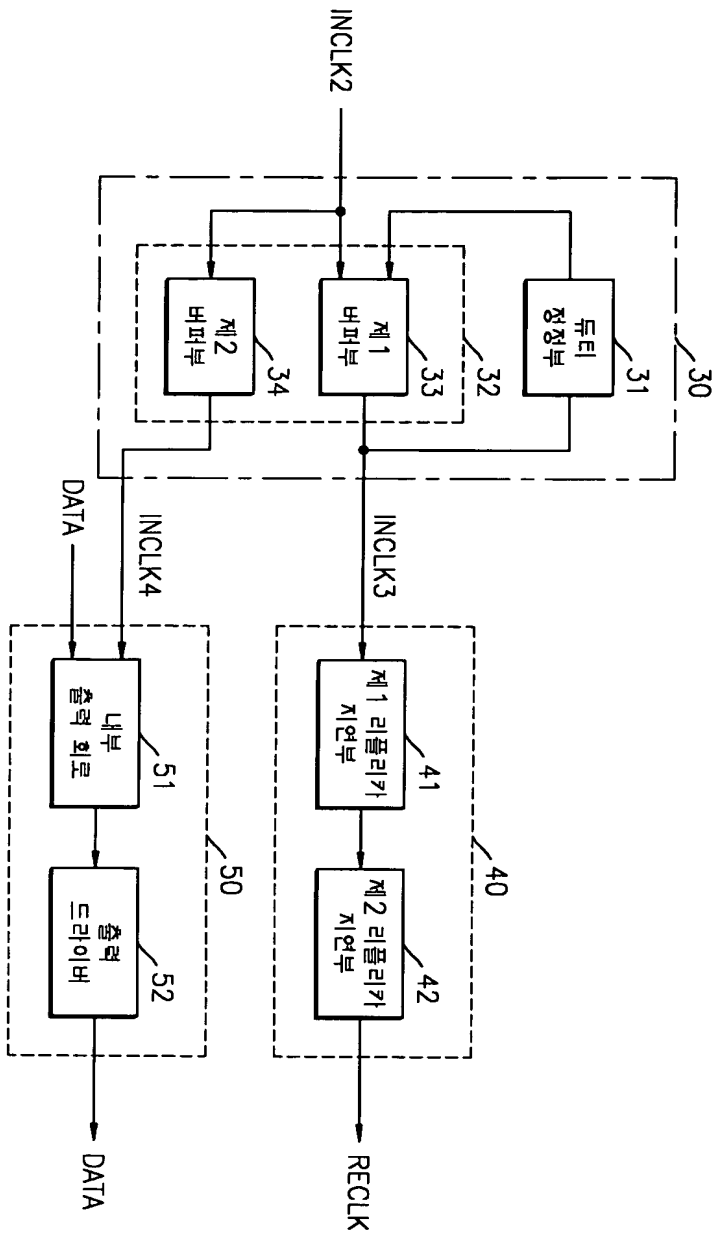
【도면】

【도 1】

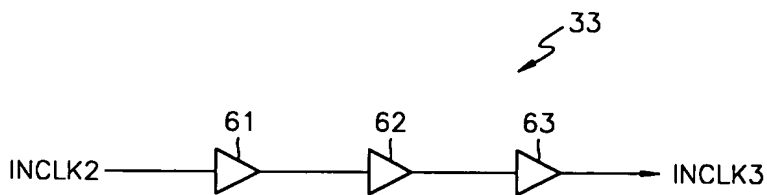




【도 2】

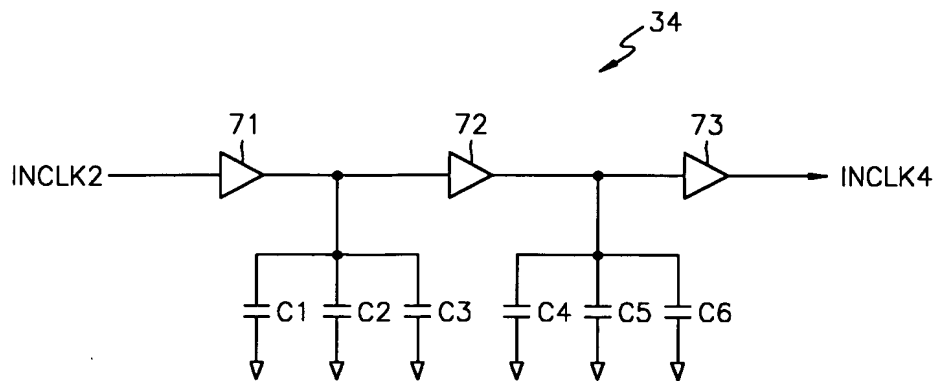


【도 3a】



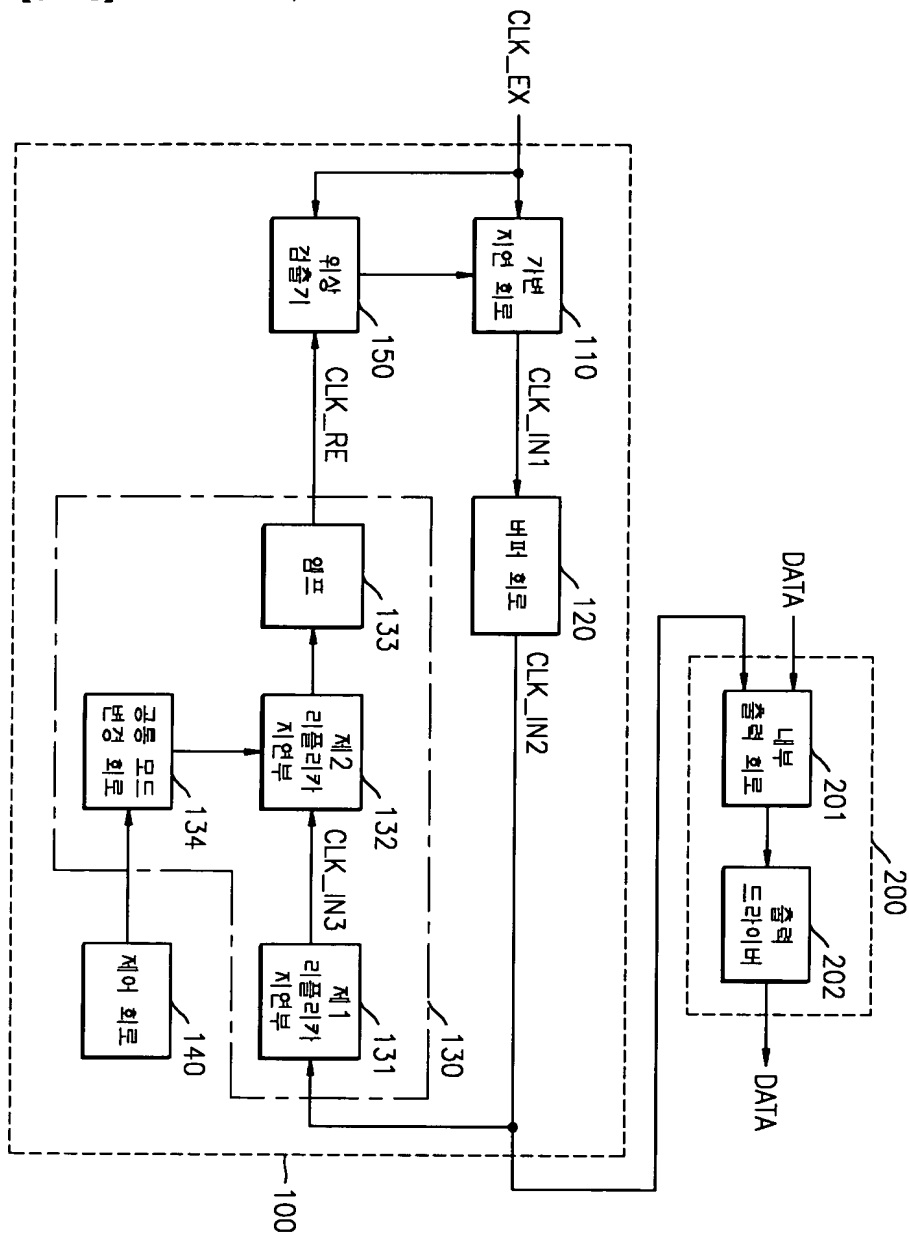


【도 3b】



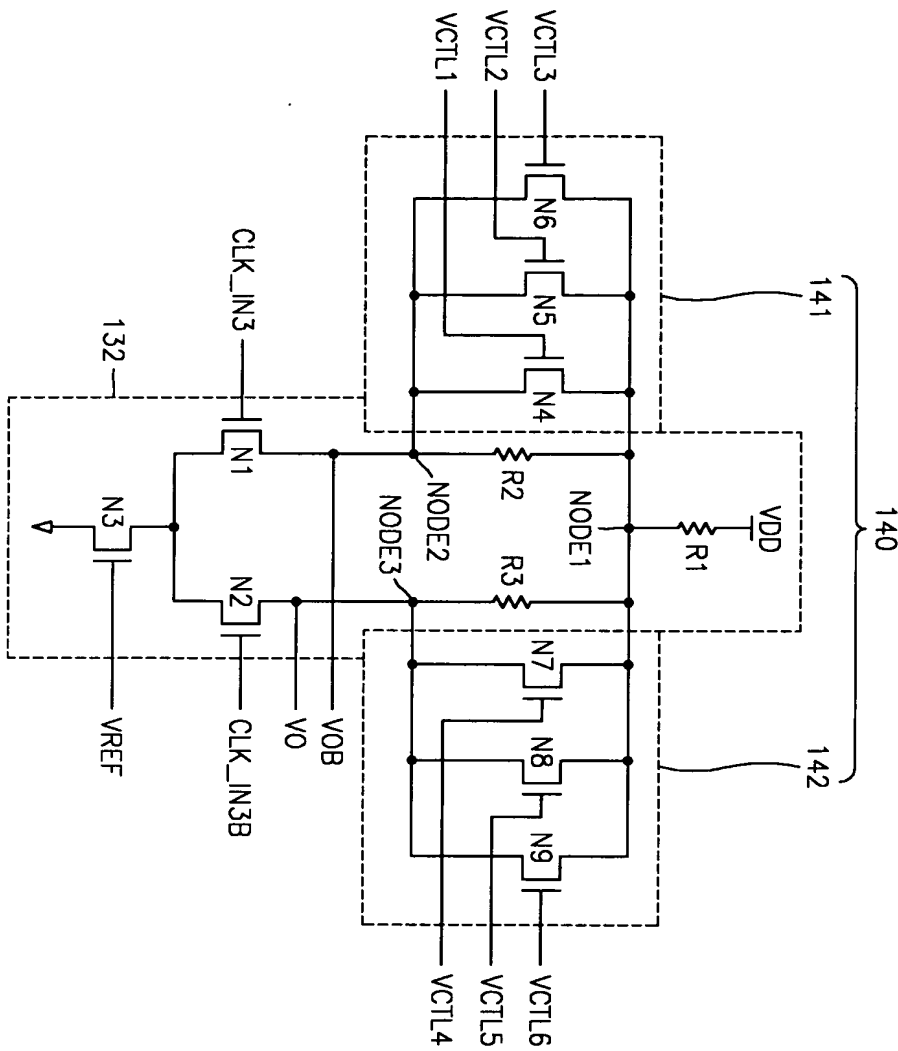


【도 4】

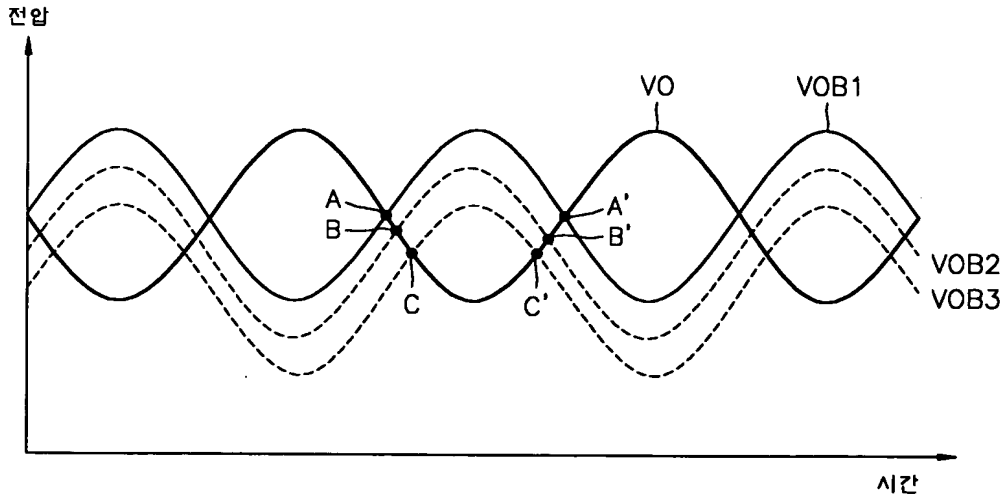




【도 5】

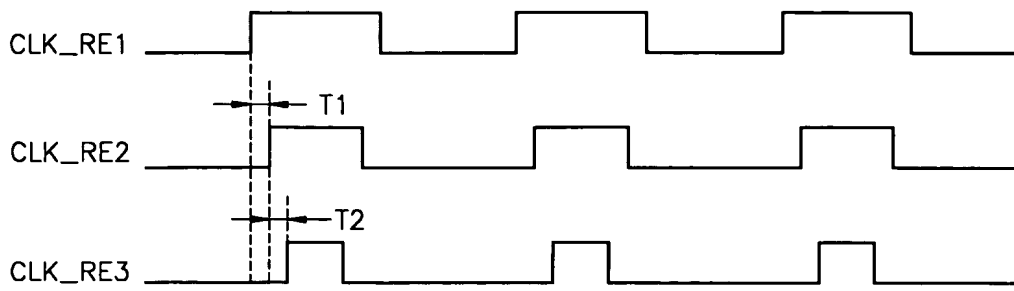


【도 6】





【도 7a】



【도 7b】

